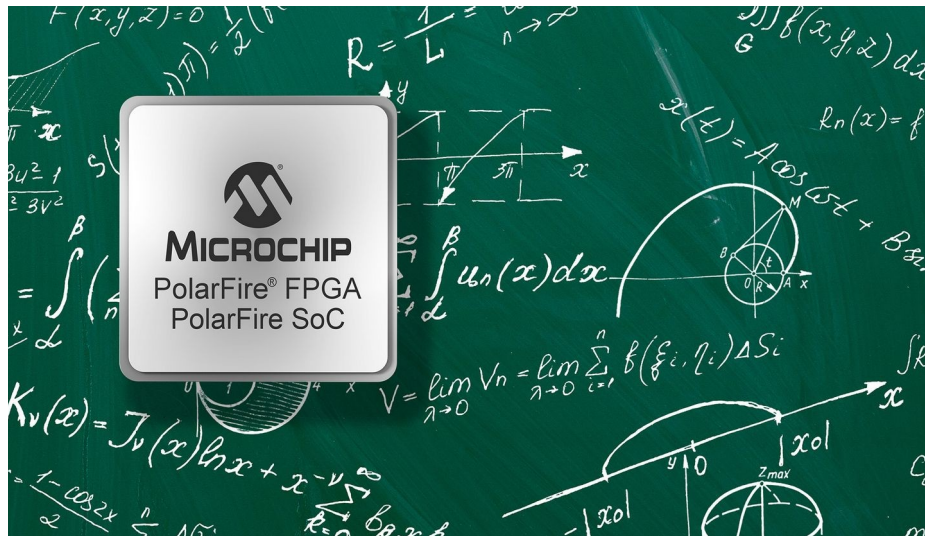
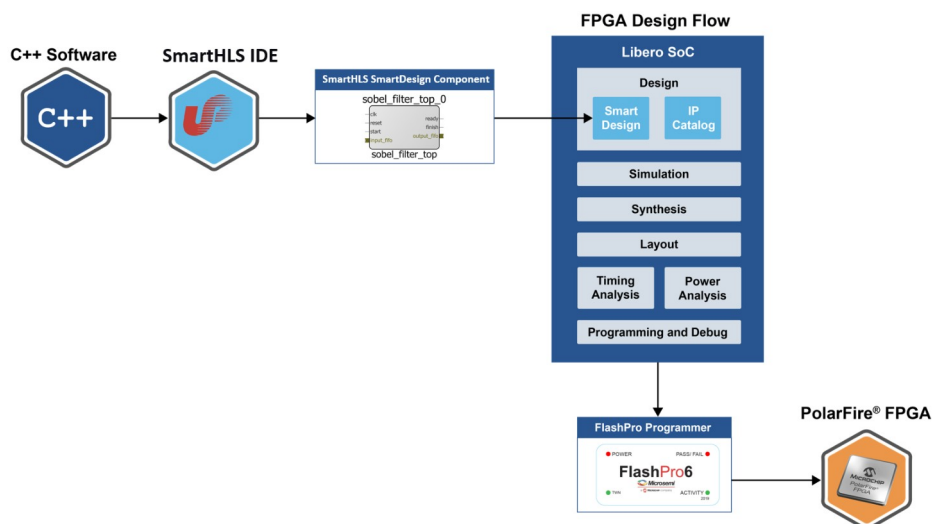


Z C++ přímo do FPGA – Smart High-Level Synthesis (HLS)

Pro aplikace, kde je potřebný velký výkon při malé spotřebě jako například u Edge Compute, je vhodné použít FPGA a FPGA kombinované s HW CPU. FPGA umožňuje vytvořit specifický výkonově efektivní akcelérátor pro některé operace. Jelikož většina algoritmů je otestovaná v C++ a zároveň většina vývojářů s ním má zkušenosti, přidal Microchip mezi své nástroje [SmartHLS](#) pro kompilaci z jazyka C++ do Verilog. Takto vytvořenou komponentu lze vložit do grafického nástroje [Liberio SoC](#).



Vytvoření vlastní komponenty v C++ je mnohokrát rychlejší než v tradičních RTL nástrojích. Zajímavé je využití C++ a nástroje [VectroBlox](#) pro převod neuronové sítě do FPGA například v aplikacích pro zpracování obrazu.



Odkazy

Dokumentace - <https://www.microsemi.com/product-directory/fpga-design-tools/5590-hls>